

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-81676

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月8日

G 01 R 31/28
G 06 F 11/22

3 1 0 D

7343-5B
6912-2G

G 01 R 31/28

W

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 テストモード設定回路装置

⑯ 特 願 平1-219157

⑰ 出 願 平1(1989)8月24日

⑱ 発 明 者 八 木 司 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 青 山 葆 外1名

明 細 書

1. 発明の名称

テストモード設定回路装置

2. 特許請求の範囲

(1) 反転リセット端子に反転リセット信号が供給されテスト端子の信号レベルが変化することでテストモードに移行しテストモード移行後はテスト端子より信号が送出されるテストモード設定回路装置において、

反転リセット信号の信号レベル変化時刻より遅延させてテスト端子を入力状態とする信号を送出する遅延回路と、

上記遅延回路よりテスト端子を入力状態とする信号が送出される時刻までには内部信号の信号レベルに関係なく所定レベルの信号を送出する所定信号送出回路と、を備えたことを特徴とするテストモード設定回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、集積回路内に組み込まれ、該集積回

路のテストモードに使用されるテストモード設定回路装置に関する。

[従来の技術]

従来のテストモード設定回路装置の構成を示す第8図において、反転テスト信号入力端子30にはプルアップ抵抗31の出力側が接続され、反転テスト信号入力端子30はインバータ32を介してハイアクティブなトランスミッションゲート33に接続される。トランスミッションゲート33のイネイブル端子は、インバータ35を介して反転リセット信号入力端子34に接続される。このようなトランスミッションゲート33は、反転リセット信号入力端子34にロー(L)レベルの信号が供給されたときにオン状態となるものである。トランスミッションゲート33の出力側は、インバータ36を介して反転テスト信号出力端子37に接続される。又、インバータ36の出力側は、インバータ39、及び反転リセット信号入力端子34がイネイブル端子に接続されるトランスミッションゲート40を介してインバータ38の入力

側に接続され、トランスミッションゲート33、インバータ36、インバータ39及びトランスミッションゲート40にてラッチ回路を形成する。

一方、内部信号が供給されるバッファ38のイネイブル端子には反転リセット信号入力端子34が接続され、バッファ38の出力側は反転テスト信号入力端子30に接続される。

このように構成される従来のテストモード設定回路装置における動作を第4図を参照し以下に説明する。

第4図aに示すように、内部信号がLレベルよりHレベルに変化することでプルアップ抵抗31の出力側であるノードAの信号レベルは内部信号が供給されることで、第4図cに示すように、これに同期してHレベルとなる。

次に、第4図bに示すように、反転リセット信号入力端子34にLレベルの反転リセット信号が供給された場合、インバータ35にて信号レベルがHレベルに反転しその信号がトランスミッションゲート33のイネイブル端子に供給されるので

を維持しているときに内部信号がLレベルに変化した場合には、ノードAの信号レベルもそれに同期してLレベルに変化する。そして、内部信号がLレベルの状態にあるときに反転リセット信号がLレベルに変化したときには、上述したようにトランスミッションゲート33がオン状態となりノードAの信号レベルが反転テスト信号出力端子37に送出される。このときノードAの信号レベルはプルアップ抵抗31によりHレベルに引き上げられるが、出力端子等の電気容量の要因より引き上げられるのに時間を要し、第5図b、dに示すように、反転テスト信号出力端子37における信号レベルは反転リセット信号の信号レベルの変化に同期して一瞬、HレベルよりLレベルに変化してしまう。よって、検査対象品がテストモードに移行してしまうという問題点があった。

本発明はこのような問題点を解決するためになされたもので、内部信号の信号レベルにかかわらず反転リセット信号の信号レベルが変化しても、誤ってテストモードに移行することのないテスト

トランスミッションゲート33はオン状態となる。即ち、従来のテストモード設定回路装置においては反転リセット信号入力端子34にリセット信号が供給されたときに、当該テストモード設定回路装置の反転テスト信号入力端子30が入力状態となる。このとき第4図aに示すように、内部信号がHレベルであればノードAの信号レベルは継続してHレベルを維持し、ノードAの信号がインバータ32、トランスミッションゲート33、インバータ38を介して反転テスト信号出力端子37に送出され、その信号レベルは、第4図dに示すように、Hレベルである。以後、内部信号のレベルが変化してもプルアップ抵抗31より印加されるHレベルの信号にて反転テスト信号出力端子37は、第4図dに示すように、Hレベルを維持する。

〔発明が解決しようとする課題〕

上述したように、又第5図a、cに示すように、内部信号に同期してノードAの信号レベルがHレベルに変化した後、反転リセット信号がHレベル

モード設定回路装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明は、反転リセット端子に反転リセット信号が供給されテスト端子の信号レベルが変化することでテストモードに移行しテストモード移行後はテスト端子より信号が送出されるテストモード設定回路装置において、

反転リセット信号の信号レベル変化時刻より遅延させてテスト端子を入力状態とする信号を送出する遅延回路と、

上記遅延回路より上記信号が送出される時刻に内部信号の信号レベルに関係なく所定レベルの信号を送出する所定信号送出回路と、を備えたことを特徴とする。

〔作用〕

このように構成することで、供給される反転リセット信号に同期してテスト端子が入力状態とならないように、遅延回路はテスト端子を入力状態とする信号の送出を遅延する。一方、所定信号送出回路は、テスト端子が入力状態になった時点で

内部信号が例えばLレベル状態であってもHレベルの信号をテスト端子に送出する。

[実施例]

本発明のテストモード設定回路装置の一実施例を示す第1図において、第3図と同じ構成部分については同じ符号を付しその説明を省略する。

尚、本実施例のテストモード設定回路装置は、例えば大規模集積回路(LSI)内に組み込まれ、該LSIのテストモード時に使用されるものである。

反転リセット信号入力端子34はAフリップフロップ回路1のデータ入力端子に接続され、Aフリップフロップ回路1の出力端子はBフリップフロップ回路2の入力端子に接続され、Bフリップフロップ回路2の出力端子はインバータ35の入力側に接続される。又、Aフリップフロップ回路1の反転出力信号出力端子1aは、内部信号が供給されるOR回路3の入力側に接続され、OR回路3の出力側はバッファ38に接続される。又、Aフリップフロップ回路1及びBフリップフロ

ップ回路1より供給される出力データをクロック信号X0の立ち上がりにてラッチするので、Bフリップフロップ回路2より送出される出力データは、第2図へに示すように、時刻T2よりLレベルに変化する。よって、トランスマッションゲート33は時刻T2よりオン状態となり、反転テスト信号入力端子30は時刻T2より入力状態となる。

OR回路3には第2図二に示す信号と第2図ロに示す内部信号とが供給されOR論理動作を行い、第2図トに示す信号を送出する。即ち、時刻T0より時刻T1まではLレベルの信号レベルであり、時刻T1以後はHレベルの信号レベルとなる。よって、時刻T1より時間的に遅れた時刻T2、即ち反転テスト信号入力端子30が入力状態となる時刻、この時点では信号レベルはHレベルとなっている。

したがって、第2図ハ及びトに示すように、反転リセット信号がLレベルに変化する時刻T0'においてOR回路3より送出される信号はLレベルとなっているが、実際このテストモード設定回

路回路2にはクロック信号X0を送出する不図示の発振回路が接続され、Aフリップフロップ回路1及びBフリップフロップ回路2は、クロック信号X0の立ち上がりエッジにてそれぞれの入力信号をラッチする。

このように構成されるテストモード設定回路装置における動作を第2図を参照し以下に説明する。尚、第2図のイないしリは、第1図内に示すイないしリの箇所における信号レベルを示している。

第2図イに示すクロック信号X0に対して非同期に供給される第2図ハに示す反転リセット信号は、Aフリップフロップ回路1にて、時刻T0の次の時刻T1におけるクロック信号X0の立ち上がりにてラッチされ、Aフリップフロップ回路1の出力データは第2図中ニに示すように時刻T1よりLレベルに変化する。又、Aフリップフロップ回路1の出力データの反転信号出力端子1aからは第2図二に示すように時刻T1よりHレベルに変化した信号が送出される。

Bフリップフロップ回路2は、Aフリップフロ

ップ回路2より供給される出力データをクロック信号X0の立ち上がりにてラッチするので、Bフリップフロップ回路2より送出される出力データは、第2図へに示すように、時刻T2よりLレベルに変化する。よって、トランスマッションゲート33は時刻T2よりオン状態となり、反転テスト信号入力端子30は時刻T2より入力状態となる。

[発明の効果]

以上詳述したように本発明によれば、反転リセット信号の供給時には強制的に反転テスト信号入力端子を所定の信号レベルとなっていることより、反転リセット信号に同期して誤ってテストモードに移行することはない。

4. 図面の簡単な説明

第1図は本発明のテストモード設定回路装置の一実施例の構成を示す回路図、第2図は本発明のテストモード設定回路装置の動作を示すタイムチャ

ート、第3図は従来のテストモード設定回路装置の構成を示す回路図、第4図及び第5図は従来のテストモード設定回路装置の動作を示すタイムチャートである。

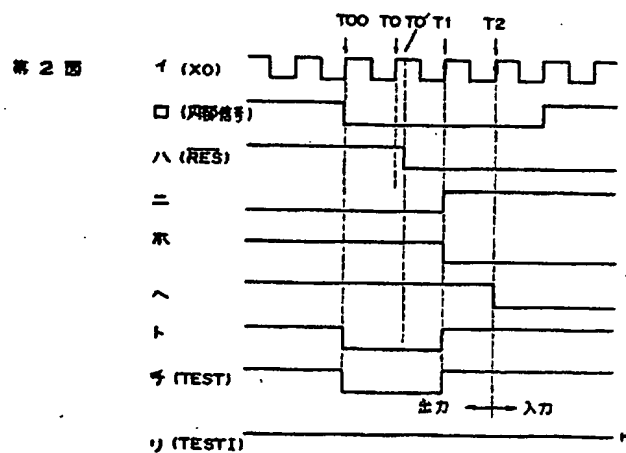
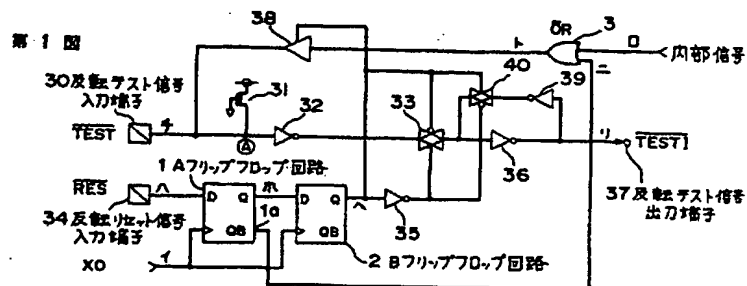
1 及び 2 … フリップフロップ回路、

9...ON回路、90...反転テスト信号入力端子、

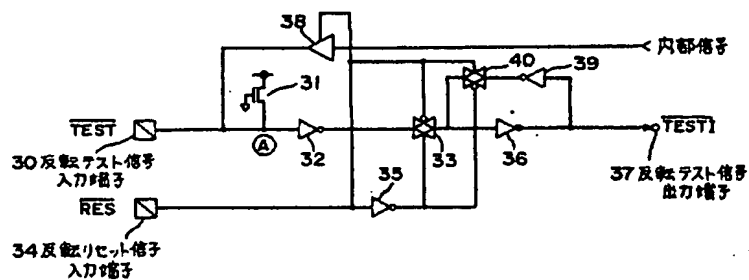
8 4 …反転リセット信号入力端子。

特許出願人 株式会社 リコー

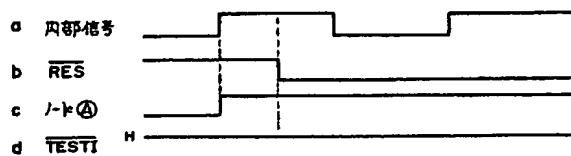
代理人 弁護士 青山 傑 外1名



第 3 図



第 4 図



第 5 図

